

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 02-003165

(43)Date of publication of application : 08.01.1990

(51)Int.Cl.

G11C 11/41

(21)Application number : 63-150315

(71)Applicant : HITACHI LTD

HITACHI MICRO COMPUT ENG LTD

(22)Date of filing : 20.06.1988

(72)Inventor : MIURA MASAHARU

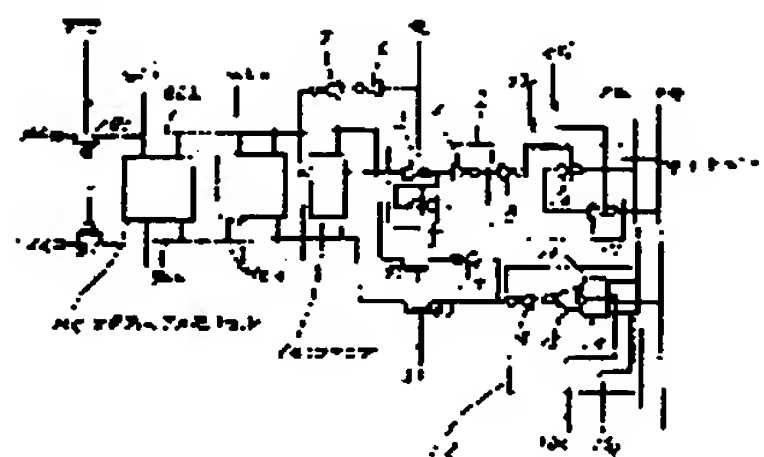
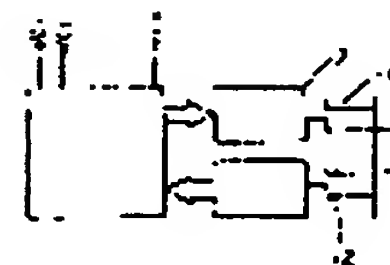
KAWASAKI SHUNPEI

(54) SEMICONDUCTOR MEMORY

(57)Abstract:

PURPOSE: To improve data processing efficiency in data processing or a logic processing LSI by constituting a writing board provided independently of a reading board with an inverter for amplifying or for logic controlling of which one input terminal is coupled to bus signal lines EDi and EDj.

CONSTITUTION: After a static data latching circuit 2 giving memory cell data latches data to a reading board 9 provided independently of a writing board 12 of a semiconductor memory device, the memory cell data of a condition cut off from a sense amplifier 1 are outputted, the same memory cell is rewritten by the data supplied from the board while the word line selecting action of then is maintained parallel to it, and the output from the reading 9 and a writing action from the board 12 to the memory cell selected then are executed for a memory cycle corresponding to the one machine cycle of a microcomputer.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

⑫ 公開特許公報(A)

平2-3165

⑤ Int. Cl.³

識別記号

庁内整理番号

⑬ 公開 平成2年(1990)1月8日

G 11 C 11/41

8522-5B
8522-5B

G 11 C 11/34

3 0 1 K
D

審査請求 未請求 請求項の数 3 (全7頁)

⑭ 発明の名称 半導体記憶装置

⑮ 特 願 昭63-150315

⑯ 出 願 昭63(1988)6月20日

⑰ 発 明 者 三 浦 雅 晴 東京都小平市上水本町1479番地 日立マイクロコンピュータエンジニアリング株式会社内

⑱ 発 明 者 河 崎 俊 平 東京都小平市上水本町1450番地 株式会社日立製作所武蔵工場内

⑲ 出 願 人 株式会社日立製作所 東京都千代田区神田駿河台4丁目6番地

⑳ 出 願 人 日立マイクロコンピュータエンジニアリング株式会社 東京都小平市上水本町1479番地

㉑ 代 理 人 弁理士 小川 勝男 外1名

明 細 書

1. 発明の名称

半導体記憶装置

2. 特許請求の範囲

1. メモリセルのデータを読み出すためのリードポートとメモリセルにデータを書き込むためのライトポートを夫々独立に持つと共に、リードポートから出力するメモリセルデータをラッチするラッチ手段を備え、メモリセルの1回の選択動作において、上記メモリセルデータをラッチ手段にラッチした後、上記ライトポートを介して当該選択されたメモリセルにデータを書き込むリード・モディファイ・ライト・モードを実行可能にされて成るものであることを特徴とする半導体記憶装置。

2. 上記リード・モディファイ・ライト・モードは、単独に行われる読み出し動作や書き込み動作におけるメモリセルの選択タイミングとデータの入出力タイミングを変更することなく行われるものであることを特徴とする特許請求の範囲

図第1項記載の半導体記憶装置。

3. 上記リード・モディファイ・ライト・モードは、メモリセルから読み出されるデータをラッチ手段にラッチした後に中央処理装置の1マシンサイクル内における所定ステートをはさんで書き込みデータをメモリセルに供給するタイミングをもって行われるものであることを特徴とする特許請求の範囲第2項記載の半導体記憶装置。

3. 発明の詳細な説明

〔産業上の利用分野〕

本発明は同一メモリサイクルでデータの読み出し動作と書き込み動作とを並列的に行う得る半導体記憶装置に関し、例えばマイクロコンピュータのような論理LSI(大規模集積回路)に内蔵されるメモリに適用して有効な技術に関するものである。

〔従来技術〕

マイクロコンピュータやプロセッサにおいては、外部とのデータ転送回数を減らして演算処理の効

率化を図る上でSRAM(スタティック・ランダム・アクセス・メモリ)で成るようなメモリを内蔵することが望ましい。ところで、従来の内蔵メモリは1マシンサイクルもしくは1メモリサイクルにおいて書き込み動作又は読み出し動作の何れか一方だけしか行うことができなかった。

尚、1メモリサイクルにおいて書き込み動作又は読み出し動作の何れか一方だけを行う従来のメモリについて記載されたものとしては特願昭61-146871がある。

〔発明が解決しようとする課題〕

ところで、プロセッサやマイクロコンピュータの高機能化に伴いそれが処理するデータ量は増加の一途を辿っており、これに応じて内蔵メモリは内部でデータを頻繁にやりとりしなければならなくなる。従来のように1マシンサイクルもしくは1メモリサイクルにおいて書き込み動作又は読み出し動作の何れか一方だけしか行うことができないと、論理LSIにおける全体的なデータ処理効率を向上させるにも限界を生ずるという問題点が生ずるものである。

にするものである。

このとき、上記リード・モディファイ・ライト・モードは、単独に行われる読み出し動作や書き込み動作におけるメモリセルの選択タイミングとデータの入出力タイミングを変更せず、また、メモリセルから読み出されるデータをラッチ手段にラッチした後に中央処理装置の1マシンサイクル内における所定ステートをはさんで書き込みデータをメモリセルに供給するタイミングをもって行うようにすることが望ましい。

〔作用〕

上記した手段によれば、データラッチ回路は読み出しデータをラッチした後メモリセルとは電気的に切り離され、この電気的な分離状態が、リードポートからのラッチデータの出力と、そのとき選択されたメモリセルに対するライトポートからの書き込みデータに基づく書き込み動作とを、同一メモリサイクルもしくは同一マシンサイクルにおいて並列化可能に作用する。

このとき、単独に行われる読み出し動作や書き

込み動作に対してメモリセルの選択タイミングとデータの入出力タイミングを変更しないことがリード・ライト動作もしくは内部データ転送動作を一層効率化するように働き、また、メモリセルから読み出されるデータをラッチ手段にラッチした後に中央処理装置の1マシンサイクル内における所定ステートをはさんで書き込みデータをメモリセルに供給するタイミングをもってリード・モディファイ・ライト動作を行うようにすることが、書き込みデータと読み出しデータの衝突を未然に防止するように働く。

本発明の目的は、データの読み出し並びに書き込み動作の効率化を図ることができ、ひいては論理LSI内部のデータ転送効率を向上させることができる半導体記憶装置を提供することにある。

本発明の前記ならびにそのほかの目的と新規な特徴は、本明細書の記述及び添付図面から明らかになるであろう。

〔課題を解決するための手段〕

本願において開示される発明のうち代表的なものの概要を簡単に説明すれば下記の通りである。

すなわち、メモリセルのデータを読み出すためのリードポートとメモリセルにデータを書き込むためのライトポートを夫々独立に持つと共に、リードポートから出力するメモリセルデータをラッチするラッチ手段を備え、メモリセルの1回の選択動作において、上記メモリセルデータをラッチ手段にラッチした後、上記ライトポートを介して当該選択されたメモリセルにデータを書き込むリード・モディファイ・ライト・モードを実行可能

〔実施例〕

第1図には本発明の一実施例であるメモリの概略ブロック図が示され、第2図はその詳細な回路図の一例が示される。各図に示されるメモリは、マイクロコンピュータの内部メモリとされ、マイクロコンピュータを構成する各種機能モジュールと一緒に公知の半導体集積回路製造技術によってシリコン基板のような1個の半導体基板に形成される。

第1図において、本実施例のメモリは、メモリセルのデータを読み出すためのリードポート9とメモリセルにデータを書き込むためのライトポート12を夫々独立に持つと共に、リードポート9から出力するメモリセルデータをラッチするラッチ手段としてのスタティックラッチ回路2を備え、メモリセルの1回の選択動作において、上記メモリセルデータをスタティックラッチ回路2にラッチした後、上記ライトポート12を介して当該選択されたメモリセルにデータを書き込むリード・モディファイ・ライト・モードを実行可能にされて成るものである。

第2図には、特に制限されないが、1行に並設されたn個のスタティックメモリセル $MC_1 \sim MC_n$ が代表的に示されている。

スタティックメモリセル $MC_1 \sim MC_n$ は相互に同一の構成を有し、例えば図示はしないが1対のCMOSインバータの入出力端子を相互に交差結合してなるスタティックラッチを主体に、1対のトランスファゲートを設けて成るような構成を

センスアンプ1の出力端子はスタティックラッチ回路2の入力端子に結合される。このスタティックラッチ回路2は、トライステート出力を得るクロックドインバータ3によって反転されたデータを、帰還接続されたインバータ4及びクロックドインバータ5でスタティックにラッチする。上記クロックドインバータ3、5の制御端子には制御信号OLが供給され、これがハイレベルにされるときクロックドインバータ3、5は入力信号の反転レベルを出力可能に制御され、制御信号OLがローレベルのときクロックドインバータ3、5は高出力インピーダンス状態に制御される。

尚、上記制御信号OLは、遅延素子として働く直列2段のインバータ6、7を介して正転され、これが上記センスアンプ1を活性化するための制御信号とされる。センスアンプ1は上記制御信号OLがハイレベルされることに呼応して活性化される。

上記スタティックラッチ回路2の出力はインバータ8で反転されてリードポート9に供給される。

採用することができる。

スタティックメモリセル $MC_1 \sim MC_n$ の選択端子は列毎にワード線 $WL_1 \sim WL_n$ に合され、また、スタティックメモリセル $MC_1 \sim MC_n$ のデータ入出力端子はビット線 BL_i 、 $\overline{BL_i}$ に結合される。

ビット線 BL_i 、 $\overline{BL_i}$ の一端は、メモリアクセス開始前にビット線 BL_i 、 $\overline{BL_i}$ のレベルを動作上の望ましいレベルにプリチャージするため、ソース電極が電源端子Vddに結合されたpチャンネル型プリチャージMOSFETQ1、Q1のドレイン電極に接続されている。プリチャージMOSFETQ1、Q1はプリチャージ信号PCGによってスイッチ制御される。

ビット線 BL_i 、 $\overline{BL_i}$ の他端部は差動増幅型センスアンプ1の1対の差動入力端子に結合される。このセンスアンプ1は、ワード線の選択動作によってメモリセルからビット線 BL_i 、 $\overline{BL_i}$ に与えられる電位の相補的な変化を検出して増幅し、その増幅結果をシングルエンドで出力する。

リードポート9は、マイクロコンピュータの内部バスを構成するバス信号線 ED_i 、 ED_j に、上記スタティックラッチ回路2のラッチデータを選択的に出力し得るトライステートバッファとしての1対のクロックドインバータ10、11によって構成される。1対のクロックドインバータ10、11の制御端子には制御信号OSi、OSjが個別的に供給され、これがハイレベルにされるときクロックドインバータ10、11は入力信号の反転レベルを出力可能に制御され、制御信号OSi、OSjがローレベルのときクロックドインバータ10、11は高出力インピーダンス状態に制御される。

本実施例のメモリは、リードポート9とは独立にライトポート12を持つ。このライトポート12は、上記バス信号線 ED_i 、 ED_j に一方の入力端子が結合された2入力アンドゲート13、14、2つのアンドゲート13、14の出力を2入力とするノアゲート15、及び増幅用もしくは論理整合用のインバータ16により構成される。

上記アンドゲート13, 14の他方の入力端子には、制御信号IS_i, IS_jが供給される。ここで上記バス信号線ED_i, ED_jは、マイクロコンピュータのマシンサイクルに同期して電源電圧レベルとしてのハイレベルにプリチャージされる。したがって、制御信号IS_iがハイレベルにされると、一方のバス信号線ED_iのレベルがインバータ16の出力レベルとして得られ、また、制御信号IS_jがハイレベルにされると、他方のバス信号線ED_jのレベルがインバータ16の出力レベルとして得られる。

上記ライトポート12の出力端子は、反転用インバータ17並びにnチャンネル型転送ゲートMOSFETQ2を介して一方のビット線BL_iに結合されると共に、nチャンネル型転送ゲートMOSFETQ3を介して他方のビット線BL_jに結合される。上記1対の転送ゲートMOSFETQ2, Q3は制御信号ILによりスイッチ制御される。

本実施例のメモリに対するアクセス制御は当該

の読み出しモードにおいてリードポート9は、制御信号OS_i, OS_jに基づいて、メモリセルデータをバス信号線ED_i及びED_jの双方に出力したり、またその何れか一方に出力したりする。

書き込みモードでは制御信号OLはハイレベルにアサートされず、ライトポート12がビット線BL_i, BL_jに導通に制御される。この書き込みモードにおいてライトポート12は、制御信号IS_i, IS_jに基づいて、バス信号線ED_iから供給されるデータを取り込んだり、バス信号線ED_jから供給されるデータを取り込んだりすることができる。

リード・モディファイ・ライト・モードでは、ワード線によるメモリセルの1回の選択動作において、メモリセルデータをスタティックラッチ回路2にラッチして制御信号OLがネゲートされた後に制御信号ILがアサートされる。特に、制御信号OLがネゲートされてから制御信号ILがアサートされるまでには図示しない中央処理装置の1マシンサイクル内における所定ステートを介在

メモリと同一半導体基板に形成されている図示しない中央処理装置の命令実行に基づいて行われる。メモリに対するアクセス態様は、マイクロコンピュータの1マシンサイクルに同期した1メモリサイクルで所定のメモリセルデータをバス信号線ED_i, ED_jに読み出す読み出しモード、バス信号線ED_i, ED_jのデータを1メモリサイクルで所定のメモリセルに書き込む書き込みモード、メモリセルデータを一方のバス信号線ED_i又はED_jに読み出すと共にメモリセルの読み出しに利用されない他方のバス信号線ED_i又はED_jのデータを読み出し動作に供された同一メモリセルに書き込む動作を1メモリサイクルで並列的に行うリード・モディファイ・ライト・モードとされる。何れの動作モードを実行するかはソフトウェアに基づいて図示しない中央処理装置が決定する。

読み出しモードでは制御信号ILはハイレベルにアサートされず、スタティックラッチ回路2がビット線BL_i, BL_jに導通に制御される。こ

させて読み出しデータと書き込みデータの衝突を未然に防止する。このときのメモリセルの選択タイミングとデータの入出力タイミングは上記書き込みモードや読み出しモードの場合と同一にされている。尚、リード・モディファイ・ライト・モードでは、制御信号OS_i, OS_jに基づいてリードポート9がメモリセルデータを一方のバス信号線ED_iに出力するとき、ライトポート12は制御信号IS_i, IS_jに基づいて他方のバス信号線ED_jから供給されるデータを取り込む。同様にリードポート9がメモリセルデータをバス信号線ED_jに出力するときはライトポート12はバス信号線ED_iから供給されるデータを取り込むように制御される。

次に本実施例の動作の一例を第3図を参照しながら説明する。

第3図にはリード・モディファイ・ライト・モードによる動作の一例が示される。

先ず、本実施例のメモリを含むマイクロコンピュータの1マシンサイクルはT1～T4ステート

により構成される。バス信号線 ED_i , ED_j は T_4 ステートから T_1 ステートまでがハイレベルへのプリチャージ期間とされ、書き込みデータや読み出しデータは T_1 ステートから T_3 ステートにおいてバス信号線 ED_i , ED_j 上で確定されるようなタイミング規約が設けられている。アドレス信号は T_4 ステートから T_2 ステートの間で確定される。このような条件のもとで、メモリの1メモリサイクルは実質的に T_4 ステートから T_3 ステートの期間とされる。尚、ビット線 BL_i , BL_i は T_3 ステートでプリチャージされるようになっている。

図示しない中央処理装置がリード・モディファイ・ライト・モードを実行すると、時刻 t_0 にアドレス信号を出力し、このデコード結果に基づいて所定のワード線 WL_i がハイレベルの選択レベルに駆動される。これにより選択端子が当該ワード線 WL_i に結合されているメモリセル MC_i の保持情報に従ってビット線 BL_i , BL_i が相補的にレベル変化される。

一方他方のバス信号線 ED_j には時刻 t_0 から始まる T_1 ステートから T_3 ステートの間に書き込みデータが与えられている。この書き込みデータは時刻 t_0 から時刻 t_1 までアサートされる制御信号 IS_j の作用によりライトポート12に取り込まれており、このライトポート12の出力は、時刻 t_0 に同期して T_2 ステートの間アサートされる制御信号 IL の作用により、ビット線 BL_i , BL_i に伝達される。このとき制御信号 OL は時刻 t_0 に既にネゲートされ、これによりビット線 BL_i , BL_i とスタティックラッチ回路2とは電気的に分離されているため、書き込みデータによってスタティックラッチ回路2の出力データが擾乱されることはない。 T_2 ステートが終了する時刻 t_1 までワード線 WL_i の選択動作は維持されているから、そのようにしてビット線 BL_i , BL_i に与えられた書き込みデータによって、当該ワード線 WL_i によって選択されたメモリセルが書き換えられる。

図示しない中央処理装置がデータの読み出しモ

時刻 t_0 に同期したステート T_4 では制御信号 OL がアサートされており、これによって活性化されたセンスアンプ1が上記ビット線 BL_i , BL_i の相補的レベル変化を増幅してスタティックラッチ回路2に与える。このスタティックラッチ回路2も制御信号 OL がアサートされていることにより T_4 ステートの間入力データを取り込み可能にされていることから、当該スタティックラッチ回路2はセンスアンプ1の出力データをラッチする。そして時刻 t_1 に制御信号 OS_i がアサートされることにより、そのラッチデータはクロックインバータ10を介してバス信号線 ED_i に与えられる。バス信号線 ED_i に与えられたデータはこのバス信号線 ED_i が次にプリチャージされる時刻 t_0 までそのレベルが維持される。当該バス信号線 ED_i に結合されている図示しない算術論理演算器やテンポラリレジスタなどはこのバス信号線 ED_i のデータを取り込み、取り込まれたデータはマイクロコンピュータ内部で所要のデータ処理に供される。

リードを実行する場合には、リード・モディファイ・ライト・モードの実行で説明したデータ読み出し動作と同じタイミングで所要のメモリセルデータが読み出される。また、図示しない中央処理装置がデータの書き込みモードを実行する場合には、リード・モディファイ・ライト・モードの実行で説明したデータ書き込み動作と同じタイミングで所要のメモリセルにデータが書き込まれる。

上記実施例によれば以下の作用効果を得るものである。

(1) ライトポート12とは独立に設けられたリードポート9にメモリセルデータを与えるスタティックデータラッチ回路2は読み出しデータをラッチした後センスアンプ1とは切り離された状態でメモリセルデータを出力し、これに並行してそのときのワード線選択動作が維持されている間にライトポート12から供給されるデータによって同一メモリセルを書き換えることにより、リードポート9からのラッチデータの出力と、そのとき選択されたメモリセルに対するライトポート12か

らの書き込みデータに基づく書き込み動作とを、マイクロコンピュータの1マシンサイクルに応ずる1メモリサイクルの間に行うことができる。

(2) 上記作用効果(1)より、マイクロコンピュータ内部のメモリを介するデータ転送を高速化することができることにより、内部リソースの利用効率が増し、これによってマイクロコンピュータのデータ処理効率の向上に寄与する。

(3) 読み出し及び書き込みを並列的に行うリード・モディファイ・ライト・モードは、単独に行われる読み出し動作や書き込み動作におけるメモリセルの選択タイミングとデータの入出力タイミングを変更しないで行われることにより、リード・モディファイ・ライト・モードにおける中央処理装置のアクセス制御が特別に複雑化せず、中央処理装置の負担を増大させることなく内部データ転送動作の効率化を図ることができる。

(4) リード・モディファイ・ライト・モードにおいては、メモリセルから読み出されるデータをスタティックデータラッチ回路2にラッチした後

に中央処理装置の1マシンサイクル内における所定ステートをはさんで書き込みデータをメモリセルに供給するから、書き込みデータと読み出しデータの衝突を未然に防止することができる。

以上本発明者によってなされた発明を実施例に基づいて具体的に説明したが、本発明はそれに限定されるものではなく、その要旨を逸脱しない範囲において種々変更可能であることは言うまでもない。

上記実施例ではメモリセルを1行に並設して成るメモリセルアレイを備えた構成を代表的に説明したが、メモリセルをマトリクス配列して成るメモリセルアレイを採用する場合にはリードポート9とライトポート12は各ビット線対に共用させる構成を採ることができる。

また上記実施例ではリードポート及びライトポートは夫々2本のバス信号線とインタフェース可能にされているが、これを3本以上にしたり、さらには書き込み専用線と読み出し専用線とに分離するようにしてもよい。

以上の説明では主として本発明者によってなされた発明をその背景となった利用分野であるマイクロコンピュータの内蔵メモリに適用した場合について説明したが、本発明はそれに限定されるものではなく、その他の論理LSIに含まれる内蔵メモリやメモリ単体としても広く利用することができる。

〔発明の効果〕

本願において開示される発明のうち代表的なものによって得られる効果を簡単に説明すれば下記の通りである。

すなわち、ライトポートとは独立に設けられたリードポートにメモリセルデータを与えるデータラッチ手段は読み出しデータをラッチした後メモリセルとは切り離された状態でメモリセルデータを出力し、これに並行してそのときのワード線選択動作が維持されている間にライトポートから供給されるデータによって同一メモリセルを書き換えるから、リードポートからのラッチデータの出力と、そのとき選択されたメモリセルに対するラ

イトポートからの書き込みデータに基づく書き込み動作とを、同一メモリサイクル内で並列的に行うことができるという効果がある。

したがって、データ処理LSIもしくは論理LSIの内部メモリに適用する場合、メモリを介するデータ転送動作が高速化されて、内部リソースの利用効率が増し、これによってデータ処理LSIもしくは論理LSIにおけるデータ処理効率の向上に寄与することができる。

また、読み出し及び書き込みを並列的に行うリード・モディファイ・ライト・モードは、単独に行われる読み出し動作や書き込み動作におけるメモリセルの選択タイミングとデータの入出力タイミングを変更しないで行われることにより、リード・モディファイ・ライト・モードにおけるアクセス制御が特別に複雑化せず、中央処理装置などの負担を増大させることなく内部データ転送動作の効率化を図ることができる。

そして、リード・モディファイ・ライト・モードにおいては、メモリセルから読み出されるデー

データをデータラッチ手段にラッチした後に中央処理装置の1マシンサイクル内における所定状態をはさんで書き込みデータをメモリセルに供給するから、書き込みデータと読み出しデータの衝突を未然に防止することができる。

4. 図面の簡単な説明

第1図は本発明の一実施例であるメモリの概略ブロック図、

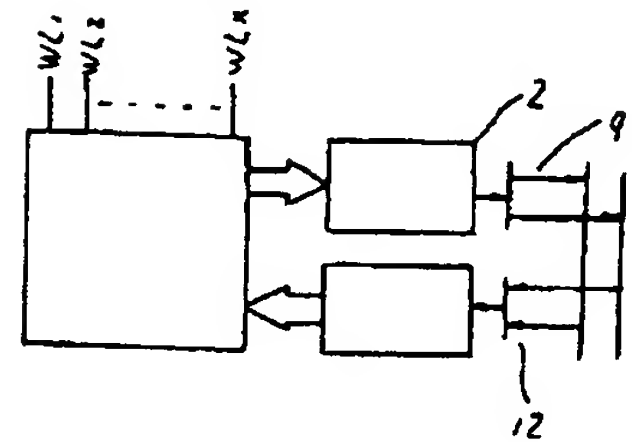
第2図は本発明の一実施例であるメモリの詳細回路図である。

第3図はリード・モディファイ・ライト・モードによる動作の一例を示す図である。

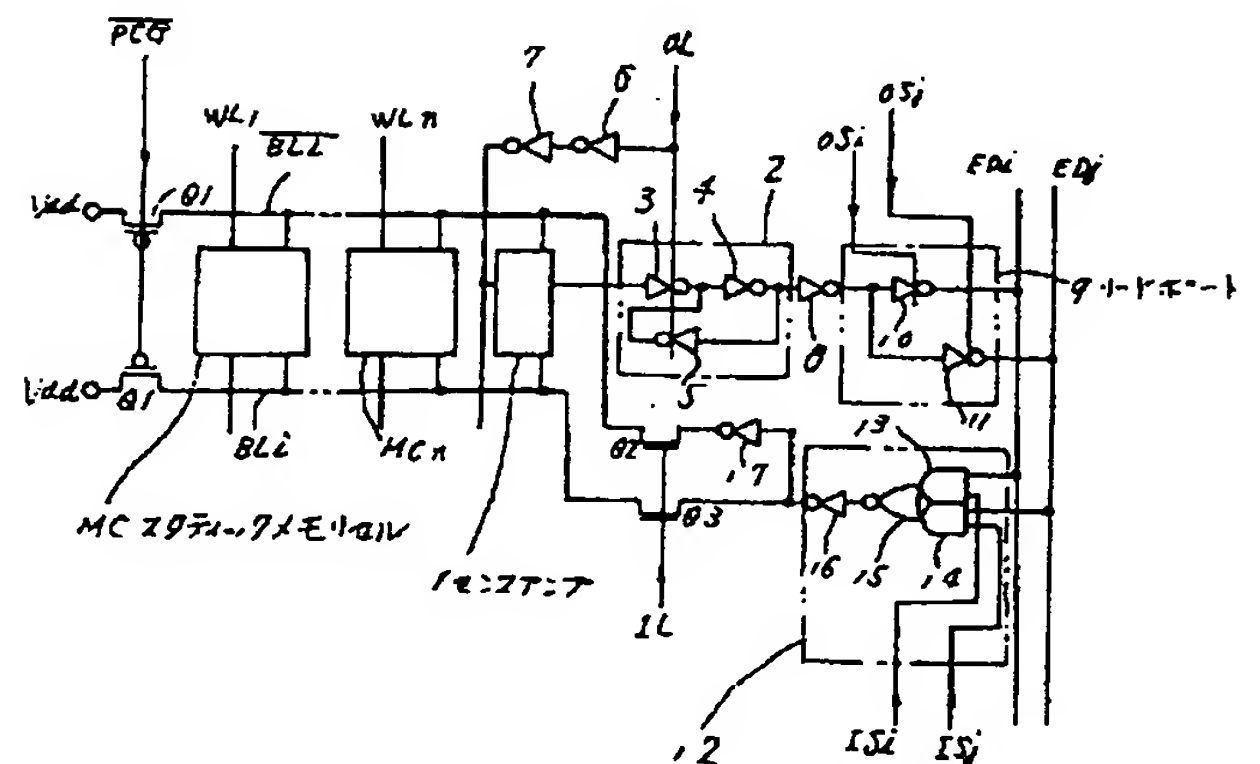
1…センスアンプ、2…スタティックデータラッチ回路、9…リードポート、12…ライトポート、 $MC_1 \sim MC_n$ …メモリセル、 BL_i 、 BL_i …ビット線、 ED_i 、 ED_j …バス信号線。

代理人 弁理士 小川 勝 男

第 1 図



第 2 図



第 3 図

